



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0068052  
Application Number

출원 년 월 일 : 2002년 11월 05일  
Date of Application NOV 05, 2002

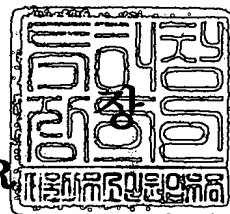
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      21      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.05
【발명의 명칭】	반도체 소자의 소자 분리막 형성 방법
【발명의 영문명칭】	Method of forming an isolation layer in a semiconductor device
【출원인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	차재한
【성명의 영문표기】	CHA, Jae Han
【주민등록번호】	700517-1114119
【우편번호】	361-302
【주소】	충청북도 청주시 흥덕구 봉명2동 353-5 현대사원아파트 라 동 804호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	554,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

P웰 형성 예정 영역 및 N웰 형성 예정 영역을 구비한 반도체 기판이 제공되는 단계; 상기 반도체 기판 상부에 산화막 및 질화막을 형성하는 단계; 상기 질화막 및 산화막의 일부 및 그 하부의 반도체 기판을 제거하여 상기 N웰 형성 예정 영역 및 상기 P웰 형성 예정 영역에 각각 제 1 및 제 2 트렌치를 형성하는 단계; 도핑 공정을 포함한 에피텍셜 성장 공정을 실시하여 상기 제 1 트렌치에는 N형 에피텍셜 성장층을, 상기 제 2 트렌치에는 P형 에피텍셜 성장층을 형성하는 단계; 상기 제 1 및 제 2 트렌치를 절연막으로 채워 소자분리막을 형성하는 단계를 포함하여 이루어진 반도체 소자의 소자 분리막 형성 방법이 개시된다.

**【대표도】**

도 2

**【색인어】**

접합 누설, 소자분리막, 에피텍셜

## 【명세서】

## 【발명의 명칭】

반도체 소자의 소자 분리막 형성 방법{Method of forming an isolation layer in a semiconductor device}

## 【도면의 간단한 설명】

도 1은 종래의 소자 분리막과 반도체 기판 계면에서 형성되는 디플리션 영역을 개략적으로 도식한 단면도이다.

도 2a 내지 도 2c 는 본 발명에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 단면도이다.

\* 도면의 주요 부분에 대한 부호의 설명

10: 반도체 기판      20: 산화막

30: 질화막      40 및 50: 트렌치

60 및 70: N 및 P형 도핑 실리콘층

100:N 웰 형성 예정 영역

200:P 웰 형성 예정 영역

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로 특히, 반도체 소자의 접합 누설(junction leakage)을 방지할 수 있는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.
- <10> 반도체 소자의 접합 누설은 로직 소자의 대기 전류를 증가시켜 전력 소모를 늘리는 원인이 될뿐 아니라 메모리 셀을 가지는 반도체 소자의 유지(retention; 리프래쉬 마진 감소)특성을 저하시키는 원인이 된다.
- <11> 일반적으로 잘 알려진 리버스 바이어스 접합 누설(reverse biased junction leakage)의 원인은 도 1에 도시된 바와 같이 상반된 타입의 반도체 접합(PN 또는 NP)부의 스페이스 차지 영역 혹은 디플리션 영역에서의 전자-정공 생성 및 재결합(electron-hole generation and recombination)에 의한 생성 전류(generation current:  $I_{gen}$ )에 의한 것이다("MOSFET Models for VLSI Circuit Simulation Theory and Practice", Narain Arora, p50~51).
- <12> 이러한  $I_{gen}$  생성 전류는 결함이 전혀 존재하지 않는 이상적인 반도체 에서도 열적 활성화(Thermal activation)에 의해서 원칙적으로 발생하는 것이며 반도체 기판의 종류를 바꾸지 않으면 제어할 수 없는 부분이 된다. 그러나 실제 반도체 소자를 제조하는 공정 에 기인한 여러 종류의 반도체 기판 결함{기판의 격자 결함을 유발하는 공공(Vacancy), Interstitial, 오배열(Dislocation), 반도체 기판과 절연막의 계면에 존재하는 땀글링 본

드(Dangling Bond)등}에 의해서 추가적인 전자, 정공 트랩(혹은 생성)센터가 발생하게 되어 접합 누설을 크게 증가시키는 주된 원인이 된다.

<13>      접합 누설을 최소화하기 위한 노력은 기판의 농도를 맞추기 위한 주입

(Implantation)공정, 열처리 공정, 세정공정, 식각 공정, 필름 스트레스를 최소화 하기 위한 증착 공정등, 모든 종류의 소자 제조 공정에서 종합적이고 광범위하게 이루어 지고 있다. 그리고 이러한 접합 누설의 주요 발생 위치는 소자 분리 절연막 형성 공정 (LOCOS;Local Oxidation of Silicon, STI; Shallow Trench Isolation)시 반도체 기판과 소자 분리 절연막과의 경계지역에 집중적으로 분포하는 것으로 알려져 있어서, 이 지역의 결함을 감소시키기 위한 여러가지 복잡한 세정, 산화, 식각 공정을 포함하는 것이 일반적이다. 한가지 예로, DRAM 메모리셀을 제조하기 위한 셀 트랜지스터의 제조 방법에서 소스와 드레인의 접합 구조를 서로 다르게 하여 DRAM 유지 특성을 개선하기 위한 노력을 일부 반도체 소자 제조 업체에서는 진행중에 있다(Novel DRAM Cell Transistor With Asymmetric Source and Drain Junction Profiles Improving Data Retention Characteristics", S. J. Ahn, 2002 Symposium on VLSI Technology Digest of Technical Papers, p176). 그러나 이러한 방식은 기존의 소자 제조 방식에 비해서 다소 많이 복잡하고 필요 공정 수를 증가시켜 제품 생산 기간과 비용을 증가 시키는 문제점을 가지고 있을 뿐만 아니라, 소자 분리 절연막과 반도체 영역의 경계부위에 생성되는 반도체 기판 결함을 근본적으로 제거하는 것이 아니어서, 근본적인 접합 누설을 제거하는 방안은 될 수 없다.

**【발명이 이루고자 하는 기술적 과제】**

- <14> 따라서, 본 발명은 소자 분리막 형성을 위한 STI 식각 공정이 완료된 후 절연막의 매립 공정 전 NMOS가 형성되는 지역에는 N형 도핑 공정을 진행하고, PMOS가 형성되는 지역에는 P형 도핑 공정을 진행하여 NMOS의 N+ 소스/드레인과, P웰의 접합 디플리션영역이 STI의 경계면에서 형성되는 것을 방지함으로써 이 지역의 기판 결함이 접합 누설을 증가시키는 트랩 센터로 사용되지 못하게 하여 상술한 단점을 해소할 수 있는 반도체 소자의 소자분리막 형성 방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <15> 상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 소자 분리막 형성방법은 P웰 형성 예정 영역 및 N웰 형성 예정 영역을 구비한 반도체 기판이 제공되는 단계;
- <16> 상기 반도체 기판 상부에 산화막 및 질화막을 형성하는 단계;
- <17> 상기 질화막 및 산화막의 일부 및 그 하부의 반도체 기판을 제거하여 상기 P웰 형성 예정 영역 및 상기 N웰 형성 예정 영역에 각각 제 1 및 제 2 트랜치를 형성하는 단계;
- <18> 도핑 공정을 포함한 에피택셜 성장 공정을 실시하여 상기 제 1 트랜치에는 N형 에피택셜 성장층을, 상기 제 2 트랜치에는 P형 에피택셜 성장층을 형성하는 단계;
- <19> 상기 제 1 및 제 2 트랜치를 절연막으로 채워 소자분리막을 형성하는 단계를 포함하여 이루어 진다.
- <20> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.



- <21> 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 단면도이다.
- <22> 도 2a와 관련하여, 반도체 기판(10)상에 산화막 및 질화막(20 및 30)을 형성한 후 포토 마스크 공정 및 식각 공정에 의해 단위 소자들간의 절연을 위해 N웰 형성 예정 영역(100) 및 P웰 형성 예정 영역(200)에 트랜치(40 및 50)를 형성한다. 이 트랜치(40 및 50)를 먼저 형성한 후 산화막 및 질화막(20 및 30)을 형성할 수도 있다.
- <23> 도 2b를 참조하면, 먼저 N웰 형성 예정 영역(100)의 산화막 및 질화막(20 및 30)을 실리콘 에피텍셜 성장 방지막으로 하여 실리콘 에피텍셜 성장 공정이 실시되는데, 실리콘 에피텍셜 성장 공정동안 인시투로 N웰과 동일한 종류의 도핑가스가 공급될 수도 있으며, 실리콘 에피텍셜 성장 공정 후 N웰과 동일한 종류의 이온 주입 공정이 실시될 수도 있다. 도핑 농도는 N웰의 농도보다 훨씬 크게 진행한다. 그로인하여 트랜치내(40)내의 반도체 기판(10)에 N형 도핑 실리콘층(60)이 형성된다.
- <24> 이후, P 웰 형성 예정 영역(200)의 산화막 및 질화막(20 및 30)을 실리콘 에피텍셜 성장 방지막으로 하여 실리콘 에피텍셜 성장 공정이 실시되는데, 실리콘 에피텍셜 성장 공정동안 인시투로 P웰과 동일한 종류의 도핑가스가 공급될 수도 있으며, 실리콘 에피텍셜 성장 공정 후 P웰과 동일한 종류의 이온 주입 공정이 실시될 수도 있다. 도핑 농도는 P웰의 농도보다 훨씬 크게 진행한다. 그로인하여 트랜치내(50)내의 반도체 기판(10)에 P형 도핑 실리콘층(70)이 형성된다.
- <25> 상술한 도핑 공정은 반도체 기판내에 웰 형성을 위한 이온 주입 공정 중에 실시될 수도 있다. 또한, 상술한 공정에 있어서는 실리콘 에피텍셜 공정을 예로 들어 설명하였

으나, 반도체 기판과 다른 N형 SiGe, P형 SiGe, N형 SiC, P형 SiC, N형 SiCGe, P형 SiCGe등의 결합 가능한 물질을 이용한 에피텍셀 성장 방식을 적용할 수도 있다.

<26> 도 2c를 참조하면, 트랜치(60 및 70)내에 STI용 절연막(80)을 증착(전세정 포함)공정을 진행한 후 화학적 기계적 연마 공정에 의한 평탄화 공정을 진행하여 STI 소자 분리 절연막 공정을 완료한다.

<27> 상술한 공정에 있어서, 상기 도핑 공정의 도핑 농도의 분포를 의도적으로 소자 분리 절연막에 맞닿는 반도체 기판 방향으로 달리 할 수 있도록, 이온주입 공정시 에너지를 변화시킬 수 있으며, 또한 상기 에피텍셀 성장층을 형성하는 과정에 포함된 상기 도핑 공정 진행시 도핑 소스 가스(Source Gas)의 농도 분포를 의도적으로 제어 하여 형성할 수 있다.

### 【발명의 효과】

<28> 상술한 바와 같이, 소자 분리 영역의 반도체 기판상에 도핑 에피텍셀 실리콘층을 형성하므로써 트랜지스터 동작시 소스, 드레인과 웰간의 리버스 접합 누설을 현격히 줄일 수 있다. 그러므로 소자의 전력 소모를 최소화 할 수 있고 Mobil 제품에 구현에 적합한 소자 특성을 만족할 수 있을 뿐 아니라 셀을 포함한 반도체 소자의 유지특성을 개선함으로써 소프트 에러를 현격히 줄일 수 있어 소자의 신뢰성을 크게 향상시킬 수 있다. 또한 단품 DRAM의 고집적화에 따른 Cs/Cb Ratio에도 직접적으로 영향을 미치기 때문에 상대적으로 셀 캐패시턴스를 증가시키는 효과도 기대할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판상의 웰 형성 예정 영역에 소자 분리를 위한 트렌치를 형성하는 단계;  
상기 트렌치 내의 반도체 기판상에 에피텍셀 성장층을 형성하는 단계;  
상기 트렌치를 절연막으로 채워 소자분리막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 2】**

제 1항에 있어서,  
상기 에피텍셀 성장층 형성동안 인시투로 상기 웰과 동일한 형태의 도핑 가스를 주입하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 3】**

제 1 항에 있어서,  
상기 에피텍셀 성장층 형성 후 상기 웰과 동일한 형태의 도핑 가스를 주입하기 위한 이온 주입 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 4】**

제 1 항에 있어서,  
상기 에피텍셀 성장층은 N형 SiGe, P형 SiGe, N형 SiC, P형 SiC, N형 SiCGe, P형 SiCGe 중 어느 하나의 형태로 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

## 【청구항 5】

제 3 항에 있어서,

상기 이온 주입 공정은 웰 형성을 위한 이온 주입 공정과 동시에 실시하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

## 【청구항 6】

P웰 형성 예정 영역 및 N웰 형성 예정 영역을 구비한 반도체 기판이 제공되는 단계;

상기 반도체 기판 상부에 산화막 및 질화막을 형성하는 단계;

상기 질화막 및 산화막의 일부 및 그 하부의 반도체 기판을 제거하여 상기 P웰 형성 예정 영역 및 상기 N웰 형성 예정 영역에 각각 제 1 및 제 2 트렌치를 형성하는 단계;

도핑 공정을 포함한 에피텍셀 성장 공정을 실시하여 상기 제 1 트렌치에는 N형 에피텍셀 성장층을, 상기 제 2 트렌치에는 P형 에피텍셀 성장층을 형성하는 단계;

상기 제 1 및 제 2 트렌치를 절연막으로 채워 소자분리막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

## 【청구항 7】

제 1 항에 있어서,

상기 N형 에피텍셀 성장층은 N웰과 동일한 종류의 이온을 주입하는 공정을 포함한 에피텍셀 성장 공정을 동시에 실시하여 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 8】**

제 1 항에 있어서,

상기 N형 에피텍셀 성장층은 에피텍셀 성장 공정을 실시한 후 N웰과 동일한 종류의 이온을 주입하는 공정을 실시하여 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 9】**

제 1 항에 있어서,

상기 P형 에피텍셀 성장층은 P웰과 동일한 종류의 이온을 주입하는 공정을 포함한 에피텍셀 성장 공정을 동시에 실시하여 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 10】**

상기 P형 에피텍셀 성장층은 에피텍셀 성장 공정을 실시한 후 P웰과 동일한 종류의 이온을 주입하는 공정을 실시하여 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 11】**

제 8 또는 제 9항에 있어서,

상기 N 형 에피텍셀 성장층의 도핑 농도는 상기 N웰의 도핑 농도 보다 큰 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 12】**

제 10 또는 제 11 항에 있어서,

상기 P 형 에피텍셀 성장층의 도핑 농도는 상기 P웰의 도핑 농도 보다 큰 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

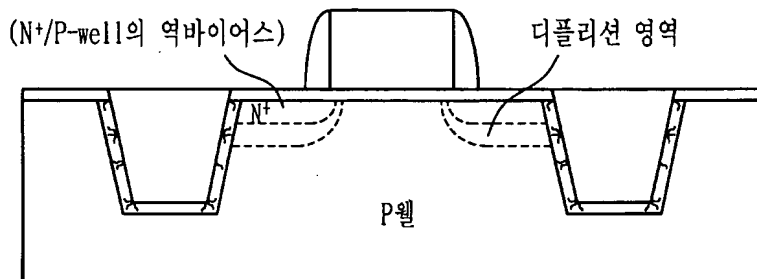
【청구항 13】

제 7 항에 있어서,

상기 도핑 공정의 도핑 농도의 분포를 의도적으로 소자 분리 절연막에 맞닿는 반도체 기판 방향으로 달리 할 수 있도록, 이온주입 공정시 에너지를 변화시키고 상기 에피텍셀 성장층을 형성하는 과정에 포함된 상기 도핑 공정 진행시 도핑 소스 가스(Source Gas)의 농도 분포를 의도적으로 제어 하여 형성 하는 것을 특징으로하는 반도체 소자의 소자 분리막 형성 방법.

【도면】

【도 1】



【도 2】

